

## Patent Abstracts of Japan

PUBLICATION NUMBER : 09289309  
PUBLICATION DATE : 04-11-97

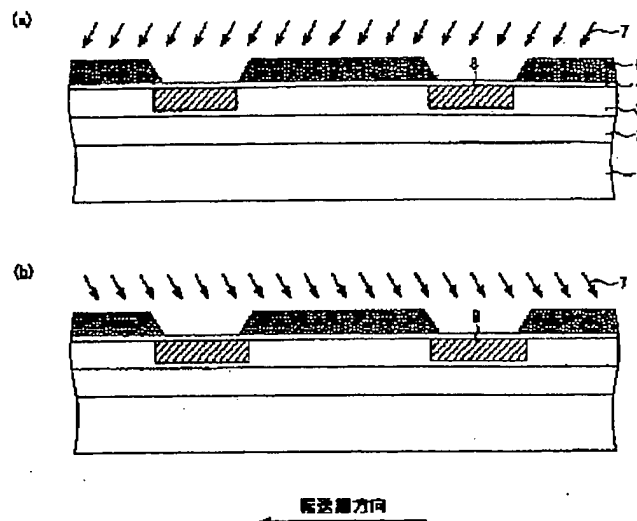
APPLICATION DATE : 19-04-96  
APPLICATION NUMBER : 08098561

APPLICANT : NEC CORP;

INVENTOR : YAMADA TORU;

INT.CL. : H01L 29/762 H01L 21/339 H01L 21/265  
H01L 27/148 H01L 31/10

TITLE : CHARGE-COUPLED DEVICE AND  
MANUFACTURE THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To improve the transfer efficiency of a two-layered electrode, two- phase driving charge-coupled device.

SOLUTION: A p-type well 2, a n-type buried channel layer 3, a gate insulating film 4 and a first electrode 6 are formed on a n-type semiconductor substrate 1. At this time the flank of the first electrode 6 is tapered. Then a p-type impurity 7 is ion-implanted at an angle both in the transfer direction and in the direction reverse to the transfer direction. At this time ion implantation energy is so set that the energy  $E_a$  of the diagonal ion implantation in the transfer direction will be higher than that  $E_b$  of the diagonal ion implantation in the direction reverse to the transfer direction.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-289309

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/762		H 0 1 L 29/76	3 0 1 A
	21/339		21/265	V
	21/265		27/14	B
	27/148		31/10	E
	31/10			

審査請求 有 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願平8-98561

(22) 出願日 平成8年(1996)4月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山田 徹

東京都港区芝五丁目7番1号 日本電気株式会社内

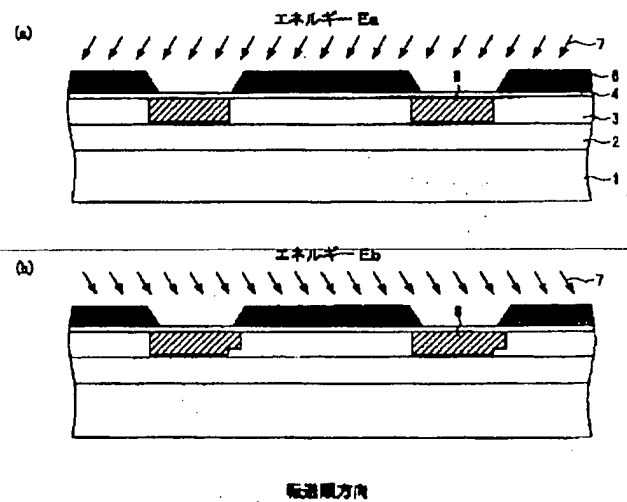
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 電荷結合素子およびその製造方法

(57) 【要約】

【課題】 2層電極2相駆動電荷結合素子の転送効率を改善する。

【解決手段】 N型半導体基板上1に、P型ウェル2、N型埋込チャネル層3、ゲート絶縁膜4および第1電極6を形成する。このとき、第1電極6の側面部はテーパ状になるように形成する。次に、P型不純物7を転送順方向および転送逆方向の2方向から斜めに傾けてイオン注入を行うが、このとき、転送逆方向から斜めにイオン注入する時の注入エネルギーE bよりも転送順方向から斜めにイオン注入する時の注入エネルギーE aの方が高くなるように設定する。



は熱酸化により後退し、第1電極6の電極長は短くなる。特にゲート絶縁膜4が、通常よく用いられるONO膜で形成されている場合、第1電極6を熱酸化した後の電極側面13bの位置は、熱酸化による層間絶縁膜9の膜厚とほぼ等しい量だけ後退する。結果としてN<sup>-</sup>型電位障壁層端面14の位置は、第2電極側面16の位置とほぼ一致するようになり、第1電極6と第2電極11のギャップ下のチャンネル17にはN<sup>-</sup>型電位障壁層8が形成されていない構造となる。

【0005】第1電極6と第2電極11とのギャップ下のチャンネル17にもN<sup>-</sup>型電位障壁層8を形成する方法として、N<sup>-</sup>型電位障壁層8を形成する際に、P型不純物7を転送順方向または転送逆方向から斜めに傾けてイオン注入する方法（特願平7-29168号公報にて開示されている電荷結合素子およびその製造方法）が知られている。図15(a)～(d)は、この2層電極2相駆動CCDの製造方法を従来例2として説明するための、転送方向に沿った断面図である。従来例2の製造方法では、第1電極6を形成するまでの製造工程は従来例1と同様であるが（図13(a)および(b)）、その後のN<sup>-</sup>型電位障壁層8を形成する際、P型不純物7を転送順方向（図15(a)、図中左側）および転送逆方向（図15(b)、図中右側）から斜めに傾けて注入するため、N<sup>-</sup>型電位障壁層8の転送方向の領域は、第1電極側面13a下のチャンネルにまで広がる。従って、第1電極側面13aの位置が熱酸化によって第1電極側面13bの位置まで後退しても（図15(c)）、第2電極11を形成した後のCCDでは、第1電極6と第2電極11のギャップ下のチャンネル17にもN<sup>-</sup>型電位障壁層8が形成されている構造となる（図15(d)）。

【0006】図16(a)～(c)は、信号電荷が転送される様子を説明するためのチャンネル電位分布の模式図である。φH1の転送電極6aおよび11aにローレベルの電圧が印加され、φH2の転送電極6bおよび12bにハイレベルの電圧が印加されている時、信号電荷12は、ハイレベルの電圧が印加されている第1電極6b下のチャンネルに蓄積される。その状態から、ハイレベルとローレベルの電圧を入れ替え、φH1の転送電極6aおよび11aをハイレベルに、φH2の転送電極6bおよび12bをローレベルにすると、チャンネル内部の電位の深い領域が入れ替わり、それに伴って信号電荷12が1/2段転送される。以下、同様にφH1の電圧およびφH2の電圧をハイレベルおよびローレベルと繰り返し入れ替えることにより、信号電荷12は次々と転送されていく。

【0007】

【発明が解決しようとする課題】しかしながら、従来の2層電極2相駆動CCDでは、特に3V以下の低駆動電圧で信号電荷を転送させようとした場合に、第1電極と第2電極とのギャップ下のチャンネルにおいて、電位の窪

み（ポテンシャルディップまたはポテンシャルポケットとも称される）が発生しやすくなり、転送効率が劣化するという問題があった。以下にその理由を詳述する。

【0008】図17(a)～(c)はCCDの駆動電圧を低減した時の問題点を説明するための図であり、

(a)はCCDの転送方向に沿った断面図、(b)は駆動電圧が高い場合(>3V)の転送方向に沿った断面のチャンネル電位分布の模式図、(c)は駆動電圧が低い場合(<3V)の転送方向に沿った断面のチャンネル電位分布の模式図である。転送電極のギャップに起因して発生する電位の窪みは、隣り合う転送電極間のチャンネル電位差が大きいくらい抑制される傾向にある。即ち、図17

(b)に示すようにCCDの駆動電圧が十分に高く、電位障壁高さ29が十分に大きければ、電位の窪みは発生せず、信号電荷12はスムーズに転送される。しかし、隣り合う転送電極間のチャンネル電位差が小さくなると、電位の窪みが発生しやすくなり、転送不良が生じるようになる。即ち、図17(c)に示すように、CCDの駆動電圧が低く、電位障壁高さ29が小さい場合、異なる電圧が印加されている第2電極11aと第1電極6b間のチャンネル電位差、および等しい電圧が印加されている第1電極6bと第2電極11b間のチャンネル電位差が小さくなる。その結果、第2電極11aと第1電極6bのギャップ下のチャンネルに電位の窪み15aが発生し、第1電極6bと第2電極11bのギャップ下のチャンネルに電位の窪み15bが発生するようになる。電位の窪みが発生すると、信号電荷が電位の窪みにトラップされるだけでなく、電位の窪み近傍の転送電界が弱くなるため、信号電荷の転送は熱拡散が支配的となる。その結果、転送時間が非常に長くなり、高速で転送を行うことが困難になるとともに、転送不良が発生しやすくなる。したがって、CCDの駆動電圧を低減しても、高い転送効率で高速に電荷転送を行うためには、電位の窪みを抑制するようにCCDを形成することが重要となる。

【0009】図18は、従来例1の製造工程によって形成されたCCDにおける、P型不純物注入直後のシミュレーションによるN<sup>-</sup>型電位障壁層8近傍のP型不純物濃度分布である。ゲート絶縁膜4は通常のCCDでよく用いられるONO膜として、第1電極6の転送方向の開口幅は1.4μmとしている。また、P型不純物として、ボロンを $4.1 \times 10^{11} \text{ cm}^{-2}$ 注入している。ボロン濃度が $1 \times 10^{16} \text{ cm}^{-3}$ となっている領域の転送方向の幅19は1.33μm、 $1.0 \times 10^{15} \text{ cm}^{-3}$ となっている領域の転送方向の幅20は1.62μmである。通常のCCDでは、第1電極と第2電極の間の層間絶縁膜は0.2μm程度形成されるため、第1電極側面13aの位置は、熱酸化によって片側約0.2μmずつ後退し、第1電極側面13bの位置になる。そのため第2電極を形成した後のCCDでは、第1電極と第2電極のギャップ下のチャンネル17には、イオン注入およびその後

徴としている。

【0019】また、第2導電型不純物を、転送逆方向から傾けて注入する時の基板垂直方向に対する注入角度よりも、転送順方向から傾けて注入する時の基板垂直方向に対する注入角度の方が大きくなるようにして注入することを特徴としている。

【0020】

【発明の実施の形態】以下、本発明による電化結合素子およびその製造方法を説明する。

【0021】本発明においては、第1電極側面部をテーパ状に形成することにより、P型不純物を第1電極をマスクとして自己整合的にイオン注入する際、電極側面部の膜厚の薄くなった部分をP型不純物が貫通しやすくなる。このため、第1電極と第2電極のギャップ下のチャンネルにもP型不純物が注入されるようになり、ギャップに起因して発生する電位の窪みが抑制される。

【0022】また、第1電極側面部をテーパ状に形成するとともに、P型不純物を転送順方向および転送逆方向の少なくとも2方向から、基板垂直方向とテーパ状の電極側面部とでなす角度の範囲内で傾けて注入することにより、P型不純物の注入される領域はさらに広くなると同時に、注入されるP型不純物は第1電極の上面と側面部からなるエッジ部分で遮られることがない。このため、第2電極下のチャンネルにはP型不純物が様な濃度で注入されるとともに、第1電極と第2電極のギャップ下のチャンネルにもP型不純物が十分に注入されるようになり、ギャップに起因して発生する電位の窪みが抑制される。

【0023】さらに、斜めイオン注入を行う際、転送逆方向から傾けて注入する時の注入エネルギーよりも、転送順方向から傾けて注入する時の注入エネルギーの方が高くなるようにすることにより、または転送逆方向から傾けて注入する時の基板垂直方向に対する注入角度よりも、転送順方向から傾けて注入する時の基板垂直方向に対する注入角度の方が大きくなるようにすることにより、あるいは両方を行うことにより、P型不純物の転送方向の拡散距離は、転送逆方向よりも転送順方向の方が大きくなるため、それぞれの場所に発生する電位の窪みは効果的に抑制される。

【0024】以上の結果、2層電極2相駆動CCDは、低電圧駆動時および高速駆動時にも高い転送効率で信号電荷を転送することができるようになる。

【0025】【実施の形態1】図1(a)～(e)は、本発明の実施の形態1による電荷結合素子の製造方法を説明する断面図である。まず、N型半導体基板1に例えばボロン等のP型不純物とリン等のN型不純物を導入することで、P型ウェル2とN型埋込チャンネル層3を形成し、表面には、例えば熱酸化膜や酸化膜－窒化膜－酸化膜の3層構造の膜(ONO膜)等のゲート絶縁膜4を形成し、さらにゲート絶縁膜4の上に、例えばCVD法等

により多結晶シリコン等の電極層5を形成する(図1(a))。次に、この電極層5をパターニングしてエッチングを行い、第1電極6を形成するが、このとき、例えば等方性エッチングガスと異方性エッチングガスを併用する等の方法で電極層5をエッチングすることにより、第1電極のチャンネルを横切る位置にある2つの第1電極側面部13aを、基板垂直方向から傾けてテーパ状に形成する(図1(b))。テーパ角度26は基板垂直方向から10度程度～45度程度の範囲内で傾けるのが好ましい。なぜなら、テーパ角度26が10度程度よりも小さいと、その後のP型不純物注入においてP型不純物7が第1電極側面部13aをほとんど貫通することができないため、N型電位障壁層の領域の転送方向の幅はほとんど広がらないからである。また、テーパ角度26が45度程度よりも大きいと、その後の第1電極6を熱酸化して層間絶縁膜9を形成する工程で、第1電極側面部13aが全て熱酸化されてしまい、第1電極6と第2電極11のギャップが大きくなってしまからである。続いて、第1電極6をマスクとして自己整合的に基板垂直方向から、例えばボロン等のP型不純物7をイオン注入法で導入し、N型埋込チャンネル層3内にN型電位障壁層8を形成する(図1(c))。この後、第1電極6を熱酸化することにより層間絶縁膜9を形成し、ゲート絶縁膜4および層間絶縁膜9の上に、例えばCVD法等により多結晶シリコン等の電極層10を形成する(図1(d))。最後に電極層10をパターニングしてエッチングを行い、第1電極6の隙間を覆う様に第2電極11を形成する(図1(e))。以上を含む製造工程によって、本発明の実施の形態1による2層電極2相駆動CCDが形成される。この製造方法は、従来の製造方法と同様の工程数で実施することができる。

【0026】図2(a)～(c)は、本発明の実施の形態1による製造方法の効果を説明するための図であり、転送方向のN型電位障壁層8近傍の断面およびチャンネル電位分布の模式図である。第1電極側面部13aをテーパ状に形成することにより、P型不純物7が第1電極6をマスクとして自己整合的に注入される際、第1電極側面部13aの膜厚の薄くなった部分を貫通するため、第1電極側面部13a下のチャンネルにもP型不純物7が注入される(図2(a))。このため、第1電極6を熱酸化して層間絶縁膜9を形成し、第1電極6の隙間を覆う様に第2電極11を形成した後においても、N型電位障壁層8は第2電極11下のチャンネルだけでなく、第1電極6と第2電極11のギャップ下のチャンネル17にも形成される(図2(b))。尚、図2(b)において、符号13bは、熱酸化後の第1電極側面部を示す。

【0027】したがって、本発明の実施の形態1の製造方法でCCDを形成すれば、従来例の製造方法で形成する場合よりも、ギャップに起因して発生する電位の窪み

【0034】

【実施例】以下、図面を参照して、本発明による電荷結合素子およびその製造方法の実施例を説明する。

【0035】【実施例1】本発明の実施例1を図1を用いて説明する。まず、N型半導体基板1にボロンを導入することでP型ウェル2を不純物濃度 $3 \times 10^{15} \text{ cm}^{-3}$ 、接合深さ $6 \mu\text{m}$ で形成し、また、リンを導入することでN型埋込チャンネル層3を不純物濃度 $8 \times 10^{16} \text{ cm}^{-3}$ 、接合深さ $1 \mu\text{m}$ で形成する。表面にはゲート絶縁膜4としてONO膜を、ゲート容量が膜厚700オングストロームの酸化膜と等価であるような膜厚で形成し、さらにゲート絶縁膜4の上にリン注入によりシート抵抗を $20 \sim 30 \Omega/\square$ まで低抵抗化した多結晶シリコンの電極層5を4000オングストロームの膜厚で形成する(図1(a))。次に、電極層5を転送方向の開口幅が

$1.4 \mu\text{m}$ となるようにバターニングを行った後、等方性エッチングガスHBrおよびC12と異方性エッチングガスSF6を用いてエッチングを行い、第1電極6のチャンネルを横切る位置にある2つの第1電極側面部13aを、基板垂直方向から30度傾けてテーパ状に形成する(図1(b))。続いてP型不純物7としてボロンイオンを注入量 $4.0 \times 10^{11} \text{ cm}^{-2}$ 、注入エネルギー50keVの条件で、第1電極6をマスクとして自己整合的に基板垂直方向からイオン注入し、N型埋込チャンネル層3内にN<sup>-</sup>型電位障壁層8を形成する(図1(c))。この後、第1電極6を熱酸化することにより層間絶縁膜9を2000オングストロームの膜厚で形成し、ゲート絶縁膜4および層間絶縁膜9の上に、リン注入によりシート抵抗を $20 \sim 30 \Omega/\square$ まで低抵抗化した多結晶シリコンの電極層10を3000オングストロームの膜厚で形成する(図1(d))。最後に電極層10をバターニングしてエッチングを行い、第1電極6の隙間を覆う様に第2電極11を形成する(図1(e))。

【0036】図3は、本発明の実施例1の製造方法によって形成されるCCDにおいて、ボロンを注入した直後のシミュレーションによるN<sup>-</sup>型電位障壁層8近傍のP型不純物濃度分布である。第1電極側面部13aをテーパ状に形成することにより、ボロンが第1電極6をマスクとして自己整合的に注入される際、第1電極側面部13aの膜厚の薄くなった部分を貫通するため、第1電極側面部13a下のチャンネルにもボロンが注入される。その結果、ボロン濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の領域の転送方向の幅19は $1.39 \mu\text{m}$ 、 $1.0 \times 10^{15} \text{ cm}^{-3}$ の領域の転送方向の幅20は $1.72 \mu\text{m}$ となっており、従来例1の製造方法でCCDを形成した場合よりもN<sup>-</sup>型電位障壁層8の領域の転送方向の幅は広くなる。

【0037】図4は、本発明の実施例1の製造方法によって形成されるCCDの、1段の転送に対応するチャンネル電位分布のシミュレーション結果である。電極に印加する電圧は $\phi H1 = 2.5 \text{ V}$ 、 $\phi H2 = 0 \text{ V}$ 、1段のチ

ャネルの長さは $10 \mu\text{m}$ としている。チャンネルに形成される完全空乏時の電位障壁の高さ29は、従来例と同じく $0.8 \text{ V}$ となっている。 $\phi H2$ の第1電極6bと $\phi H2$ の第2電極11bのギャップ下のチャンネルには、電位の窪み15bが僅かに発生しているものの、 $0.001 \text{ eV}$ と小さな値に抑えられている。また、 $\phi H1$ の第2電極11aと $\phi H2$ の第1電極6bのギャップ下のチャンネルには、電位の窪みは全く発生していない。したがって、本発明の実施例1の製造方法でCCDを形成すれば、従来の製造方法で形成する場合よりも信号電荷はスムーズに転送されるようになり、CCDの高速駆動化および低電圧駆動化が可能となる。

【0038】【実施例2】次に、本発明の実施例2を図5を用いて説明する。電極側面部がテーパ状になるように第1電極6を形成する製造工程までは、本発明の実施例1による製造方法(図1(a)および(b))と同様である。続いて、P型不純物7としてボロンイオンを、第1電極6をマスクとして自己整合的に、基板垂直方向に対して30度の角度で転送順方向(図5(a))および転送逆方向(図5(b))の2方向から斜めに傾けて、それぞれ注入量 $2.6 \times 10^{11} \text{ cm}^{-2}$ 、注入エネルギー50keVの条件で注入し、N型埋込チャンネル層3内にN<sup>-</sup>型電位障壁層8を形成する。P型不純物7を注入した後の製造工程は、本発明の実施例1による製造方法(図1(d)および(e))と同様である。

【0039】図7は、本発明の実施例2の製造方法によって形成されるCCDにおいて、ボロンを注入した直後のシミュレーションによるN<sup>-</sup>型電位障壁層8近傍のP型不純物濃度分布である。第1電極側面部13aをテーパ状に形成し、さらに転送順方向および転送逆方向から斜めにボロンイオン注入を行うことにより、ボロン濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の領域の転送方向の幅19は $1.45 \mu\text{m}$ 、ボロン濃度 $1.0 \times 10^{15} \text{ cm}^{-3}$ の領域の転送方向の幅20は $1.92 \mu\text{m}$ となっており、従来例1、2および実施例1のいずれの製造方法でCCDを形成した場合よりも、N<sup>-</sup>型電位障壁層8の領域の転送方向の幅は広くなる。

【0040】図8は、本発明の実施例2の製造方法によって形成されるCCDの、1段の転送に対応するチャンネル電位分布のシミュレーション結果である。電極に印加する電圧は $\phi H1 = 2.5 \text{ V}$ 、 $\phi H2 = 0 \text{ V}$ 、1段のチャンネルの長さは $10 \mu\text{m}$ としている。チャンネルに形成される完全空乏時の電位障壁の高さ29は、従来例と同じく $0.8 \text{ V}$ となっている。N<sup>-</sup>型電位障壁層8の領域の転送方向の幅が広くなると同時に、第1電極6でマスクされていない領域を一樣な濃度でボロンが注入されるため、いずれの電極のギャップ下のチャンネルにも電位の窪みは発生しておらず、1つの電子が転送電界によって1/2段転送されるのにかかる転送時間は $431 \text{ psec}$ となっている。したがって、本発明の実施例2の製造方

15

【図8】本発明第2の実施例のCCDのシミュレーションによる1段の転送に対応するチャネル電位分布である。

【図9】本発明第3の実施の形態によるCCDの製造方法を示す断面図である。

【図10】本発明第3の実施の形態によるCCDの製造方法の効果を説明するための図である。

【図11】本発明第3の実施例のCCDのシミュレーションによるN<sup>-</sup>型電位障壁層近傍のP型不純物濃度分布である。

【図12】本発明第3の実施例のCCDのシミュレーションによる1段の転送に対応するチャネル電位分布である。

【図13】従来例1のCCDの製造方法を示す断面図である。

【図14】図13(e)の領域aの拡大図である。

【図15】従来例2のCCDの製造方法を示す断面図である。

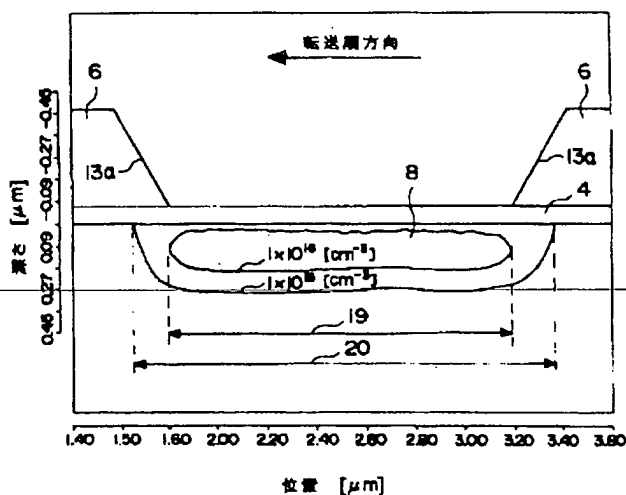
【図16】信号電荷が転送される様子を説明するためのチャネル電位分布の模式図である。

【図17】CCDの駆動電圧を低減した時の問題点を説明するための図である。

【図18】従来例1のCCDのシミュレーションによるN<sup>-</sup>型電位障壁層近傍のP型不純物濃度分布である。

【図19】従来例1のCCDのシミュレーションによる1段の転送に対応するチャネル電位分布である。

【図3】



16

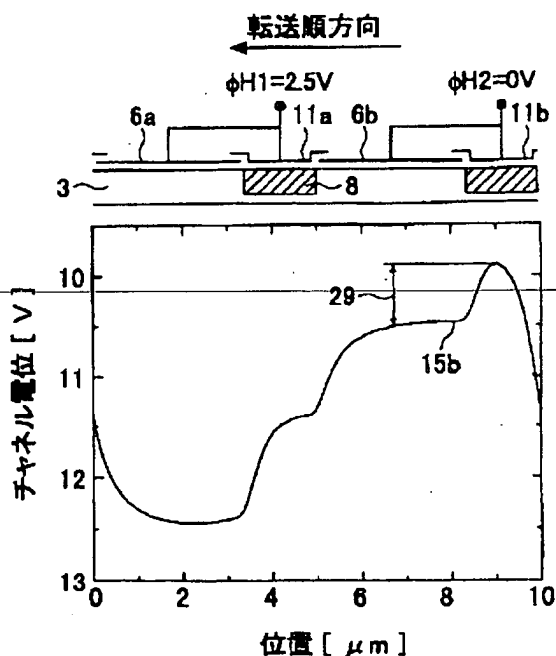
【図20】従来例2のCCDのシミュレーションによるN<sup>-</sup>型電位障壁層近傍のP型不純物濃度分布である。

【図21】従来例2のCCDのシミュレーションによる1段の転送に対応するチャネル電位分布である。

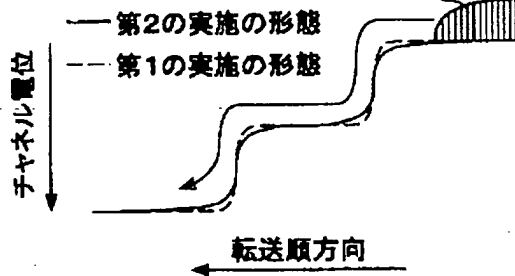
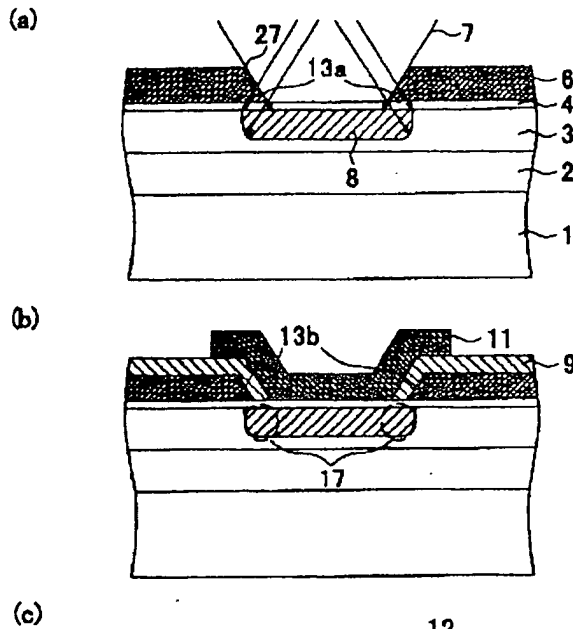
【符号の説明】

- 1 N型半導体基板
- 2 P型ウェル
- 3 N型埋込チャネル層
- 4 ゲート絶縁膜
- 5 電極層
- 6、6a、6b 第1電極
- 7 P型不純物
- 8 N<sup>-</sup>型電位障壁層
- 9 層間絶縁膜
- 10 電極層
- 11、11a、11b 第2電極
- 12 信号電荷
- 13a、13b 第1電極側面部
- 14a、14b 領域端
- 15、15b 電位の窪み
- 16 第2電極側面部
- 17、18 チャンネル
- 19、20 転送方向の幅
- 26 テーパー角度
- 27 エッジ部分
- 29 電位障壁の高さ

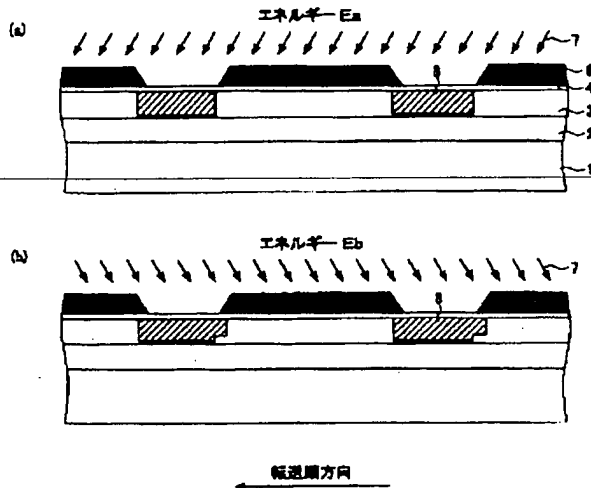
【図4】



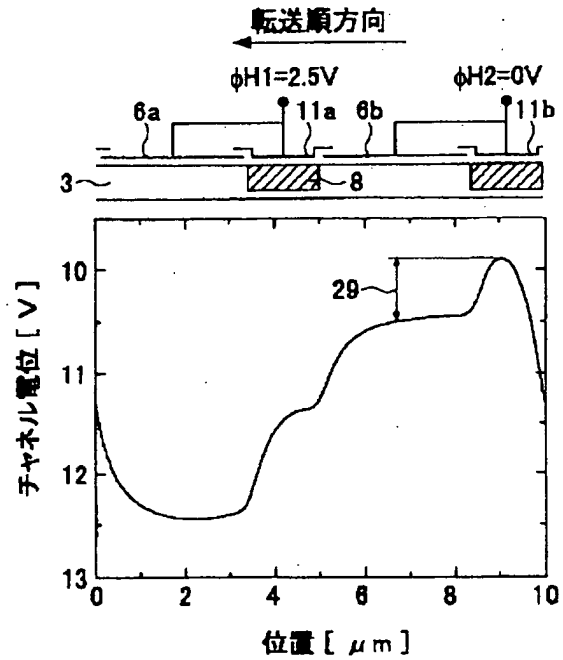
【図6】



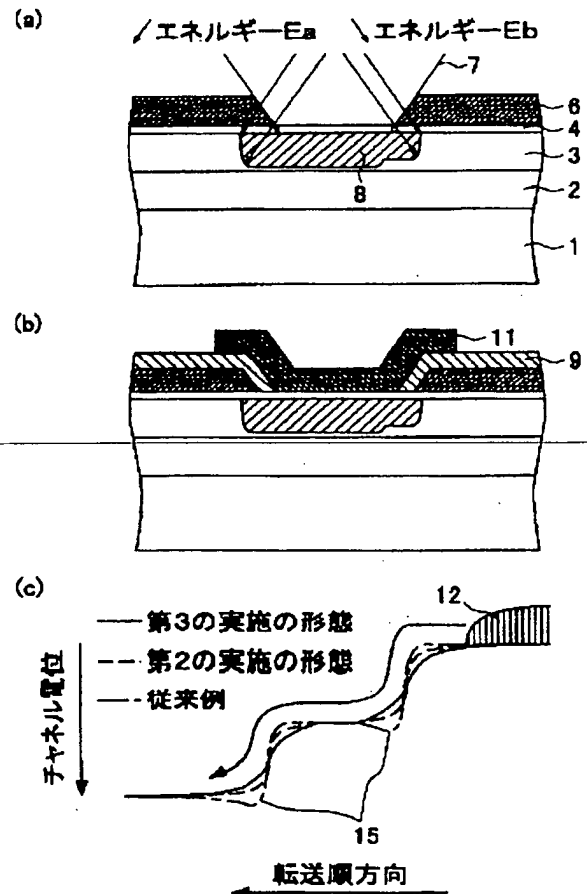
【図9】



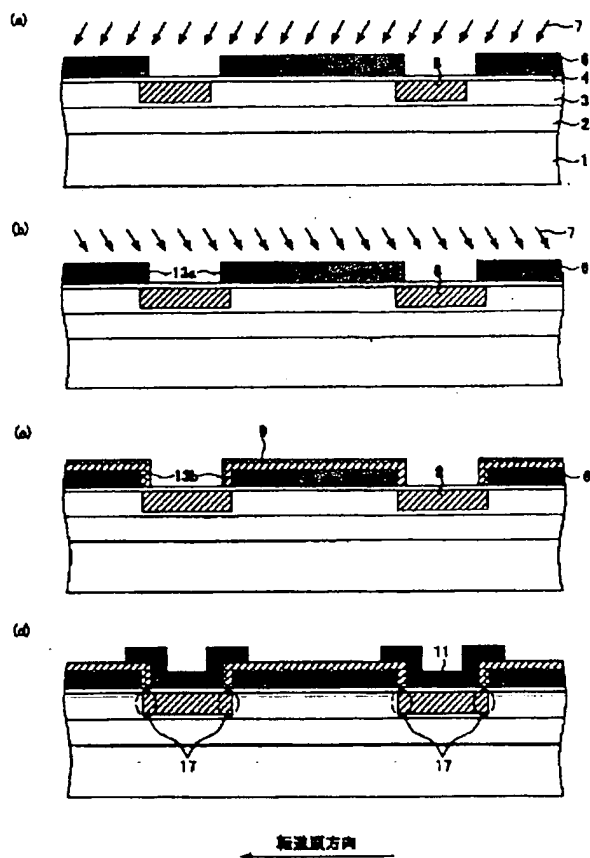
【図8】



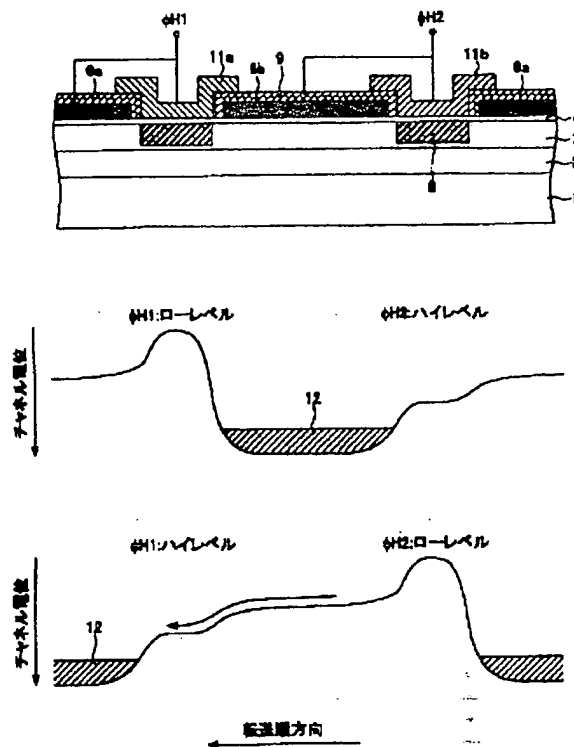
【図10】



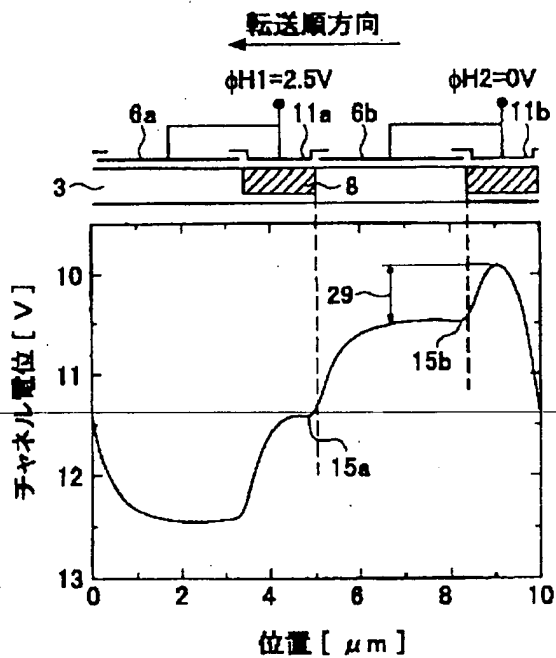
【図15】



【図16】



【図19】



【図17】

